

# 시간-보간법을 활용한 5-bit FLASH ADC

남재원<sup>1</sup>, 조영균<sup>2\*</sup>

<sup>1</sup>서울과학기술대학교 전자IT미디어공학과 조교수, <sup>2</sup>공주대학교 전기전자제어공학부 조교수

## 5-bit FLASH A/D Converter Employing Time-interpolation Technique

Jae-Won Nam<sup>1</sup>, Young-Kyun Cho<sup>2\*</sup>

<sup>1</sup>Assistant Professor, Department of Electronic and IT Media Engineering, SeoulTech

<sup>2</sup>Assistant Professor, Division of Electrical, Electronic and Control Engineering, Kongju National University

**요약** 본 연구는 시간-보간법을 적용한 FLASH analog-to-digital converter (ADC)에 관한 것이다. 시간-보간법은 기존의 FLASH ADC에서 요구되는 전압영역 비교기의 개수를 줄일 수 있으며 이 따른 전력 소모 및 칩 면적의 절약을 기대할 수 있다. 본 연구에서는 5-bit, 즉 31개의 양자화 레벨을 갖는 ADC를 설계 및 구현하였으며, 16개의 양자화 레벨은 기존의 전압영역 비교기 방식을 유지하고, 나머지 15개의 양자화 레벨은 시간영역 비교기를 통하여 처리되도록 구성하여, 기존 5-bit FLASH ADC 대비 전압영역 비교기의 숫자를 48.4% 줄일 수 있었다. 시제품은 14 nm Fin Field-effect transistor (FinFET) 공정으로 제작되었으며 구현면적은 0.0024 mm<sup>2</sup>, 전력 소모는 0.8 V 전원전압에서 0.82 mW로 측정되었으며, 400 MS/s의 변환속도 21 MHz 정현파 입력에 대하여 ADC는 28.03 dB의 신호-대-잡음비 (SNDR), 즉 4.36 유효비트(ENOB)의 성능을 보였다.

**주제어** : FLASH ADC, 시간-보간법, 비교기, Strong-Arm 비교기, 전압-시간 변환회로, 양자화기, FinFET

**Abstract** A time-interpolation technique has been applied to the conventional FLASH analog-to-digital converter (ADC) to increase a number of quantization level, thus it reduces not only a power dissipation, but also minimize an active chip area. In this work, we demonstrated 5-bit ADC which has 31 quantization levels consisting of 16 conventional voltage-mode comparators and 15 time-mode comparators. As a result, we have achieved about 48.4% voltage-mode comparator reductions. The ADC is fabricated in a 14nm fin Field-effect transistor (FinFET) process with an active die area of 0.0024 mm<sup>2</sup> while consuming 0.82 mW through a 0.8 V supply. At 400-MS/s conversion rate, the ADC performs 28.03 dB SNDR (4.36 ENOB) at 21MHz input frequency.

**Key Words** : FLASH ADC, Time-interpolation, Comparator, Strong-Arm comparator, Voltage-to-time conversion circuit, Quantizer, FinFET

### 1. 서론

최근 급격히 증가하고 있는 홈-네트워크/엔터테인먼트/원격화상회의 등 다양한 분야들은 초고속 또는 고해

상도 멀티미디어 콘텐츠를 다루고 있으며, 이를 지원하기 위해서는 더욱더 빠른 유/무선 통신 시스템 단말 및 셋톱박스를 위한 초고속 저전력 SoC 개발이 필요하다.

\*This study was supported by the Research Program funded by the SeoulTech(Seoul National University of Science and Technology).

\*Corresponding Author : Young-Kyun Cho (ykcho@kongju.ac.kr)

Received July 20, 2021

Revised August 20, 2021

Accepted September 20, 2021

Published September 28, 2021

특히, 기본적으로 SoC를 구성하는 회로들 가운데 많은 양의 전력을 소모하며 전체 시스템의 성능을 좌우하는 아날로그-디지털 신호변환기(ADC)의 전력효율 개선에 관한 연구가 많이 진행되고 있다.

ADC 구조는 기본적으로 저속 고해상도를 위해서 과표본화 및 잡음 필터링 기법을 활용하는 시그마-델타( $\Sigma\Delta$ ) ADC[1], 이진 탐색 알고리즘을 활용한 N-cycle 순차-근사-레지스터 (SAR) ADC[2], 다단 구조로 잔류 신호를 생성하고 병렬로 아날로그-디지털 신호변환을 수행하는 파이프라인 ADC[3], 그리고 한 번에 미리 배치된  $2^N-1$ 개의 비교기를 양자화 문턱 전압과 비교하여 N-bit의 디지털신호로 변환하는 FLASH ADC [4,5]로 나눌 수가 있는데, 최근에는 ADC의 전력소모 및 구현면적 최적화를 위하여 전압 및 전류모드 또는 시간모드 등과 같은 다양한 방식의 신호처리 기법을 활용한 양자화기를 회로로 구현하는 Hybrid ADC 구조에 관한 연구가 활발히 이뤄지고 있다. 예를 들면, 종래의 1-bit/cycle의 단일 비교기를 sub-ADC 양자화기로 사용하는  $\Sigma\Delta$ -ADC, SAR ADC와 같은 일반적인 구조에서 더 높은 사양의 변환속도 및 해상도를 얻기 위하여 Multi-bit/cycle 구조의 저해상도 FLASH ADC를 sub-ADC 양자화기로 채택하는 Hybrid ADC 구조를 예로 들 수 있다 [6-8]. 결국, 효율적인 sub-ADC 양자화가 전체 ADC 구조의 성능에 많은 영향을 끼친다는 사실을 알 수 있다.

이러한 기술 동향 및 연구 필요성에 근거하여, 본 연구에서는 Multi-bit/cycle 구조에 적합한 전압/시간 모드의 비교기를 혼합하여 동작하는 5-bit 400MS/s FLASH ADC를 설계하였다.

본 연구에서 제안하는 시간-보간법을 활용한 ADC는 종래의 ADC구조에서 요구되는 구현면적 및 전력소모량을 획기적으로 절감하는 것을 목표로 한다. 따라서, 제안하는 기술의 효과성을 더 명확히 확인하고자 종래의 CMOS 공정 대비 더 높은 집적율을 보이는 14nm FinFET 공정을 사용하여 시제품을 제작하였으며, 5-bit 양자화기의 성능측정과 더불어 DC 바이어스 동작 조건 및 ADC 동적 성능을 확인하였다.

## 2. 비교기 회로 분석

본 연구에서는 회로 구조가 간단하고 저전력 고속 동작으로 널리 사용되는 Strong-Arm 비교기(Fig.

1(a))를 사용하였다. 클럭신호(CLK)에 동기화되어 비활성 영역(CLK=Low)에서 휴면상태에 머무르며 차동 출력전압을 전원 전압으로 유지하다 활성 영역(CLK=High)으로 전환되면, 입력전압의 극성에 따라 비교기 회로의 출력이 있는 정궤환 부하단이 재빨리 차동 출력신호를 전원전압과 접지 양 갈래로 나타낸다. Strong-Arm 비교기의 활성 영역에서의 동작 구간은 Fig. 1(b)에서 나타낸 바와 같이 크게 표본화 구간(sampling phase)과 재생 구간(regeneration phase)으로 구분한다[9]. 표본화 구간은 Strong-Arm 비교기의 모든 트랜지스터가 활성화될 때까지의 구간으로 각각의 능동소자들은 대신호 분석을 통하여 비교기의 전압이득( $A_{sample}$ ), 시상수( $\tau_{sample}$ ), 잡음지표( $v_{n,sample}^2$ )를 분석할 수 있다.

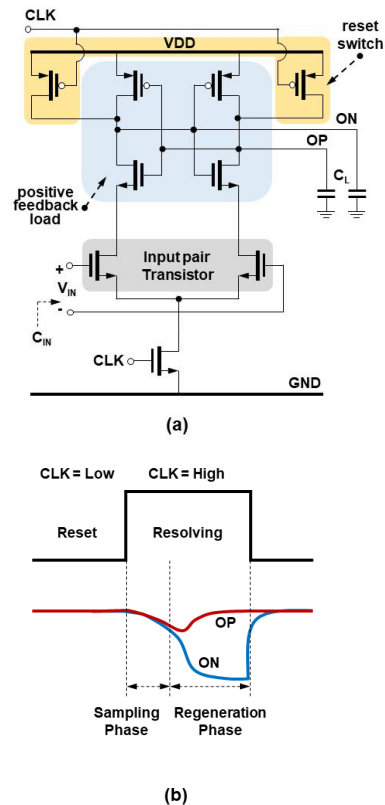


Fig. 1. (a) Strong-Arm comparator circuit, (b) Comparator output waveform during active region (CLK=High).

$$A_{sample} = g_m V_{th} / I_D \quad (1)$$

$$\tau_{sample} = \frac{g_m \alpha_{inv} V_{th}}{I_D} C_{in} \quad (2)$$

$$\frac{v_{n,sample}^2}{\alpha_{inv} g_m C_{in} V_{th}} = \frac{8kT\gamma I_D}{\alpha_{inv} g_m C_{in} V_{th}} \quad (3)$$

반면, Strong-Arm 비교기의 재생 구간에서 동작은 표본화 구간이 종료된 직후 능동소자들의 DC 동작점에서 소신호 해석으로 분석할 수 있다.

$$A_{regen} = \exp(t_{regen}/\tau_{regen}) \quad (4)$$

$$t_{regen} = \ln\left(\frac{V_{DD}}{A_{sample} V_{in}}\right) \quad (5)$$

$$\tau_{regen} = \frac{C_L}{g_m + g_{m,regen}} \quad (6)$$

$$\frac{v_{n,regen}^2}{C_{in} A_{sample}^2} = \frac{2kT}{C_{in} A_{sample}^2} \quad (7)$$

여기에서  $\alpha_{inv}, g_m, I_D, V_{th}, C_{in}, k, T$ 는 각각 인버터 구조와 비교한 정규화 상수, 트랜스컨덕턴스, 소모 전류량, 입력 트랜지스터의 문턱전압, 입력 커패시턴스, 플랑크 상수, 온도를 나타내는 변수이다.

Strong-Arm 비교기의 구분된 두 동작 구간을 살펴 보면 표본화 구간에서 비교기의 잡음성능이 좌우되며 전력소모량과 비교기의 동작 속도는 상호보완적 관계가 있음을 알 수 있다. 일반적으로 표본화 구간에서의 동작 속도는 고정된 값을 갖고 재생 구간의 시상수는 입력 전압에 반비례하는 경향을 보이며 전체 비교기의 동작 속도는 주어진 입력신호에 따른 재생 구간의 길이에 의해서 결정됨을 알 수 있다.

### 3. 비교기 전압-시간 변환 관계

전압모드 비교기는 일반적으로 주어진 입력 전압을 디지털신호로 변화하는데, 앞서 비교기 회로 분석에서 설명하였듯이 입력신호의 크기와 디지털신호로 변환되는 소요시간이 반비례 관계에 있음을 알 수 있었다.

표본화 구간의 경우 Strong-Arm 비교기의 트랜지스터가 모두 활성화될 때까지 걸리는 시간으로 입력신호의 DC 바이어스 전압에 의해서 출력단의 부하 커패시터에 전류가 충전되는데, 출력단에 있는 정제환 회로가 동작하기 직전까지의 시간( $T_{sample}$ )을 나타낸다. 일반적으로 표본화 구간은 입력신호의 크기에 큰 영향

을 받지 않지만, 재생 구간은 비교기 출력전압이 정제환 회로에 의해서 일정한 시정수( $\tau_{regen}$ )를 갖고 동작하기에 최종적으로 소요되는 시간( $t_{regen}$ )은 비교기 입력 전압과 반비례하며 Fig. 2에 도시한 바와 같이 비선형 Log함수의 곡선을 그린다. 결과적으로, 전압모드 비교기가 디지털신호를 출력하는데 걸리는 전체 소요시간은 아래와 같이 표현할 수 있다.

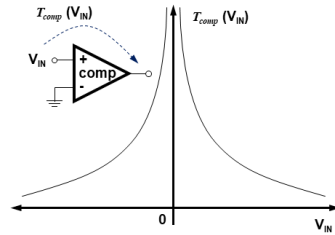


Fig. 2. Voltage-to-time response of the strong-Arm comparator.

$$T_{comp}(V_{in}) = T_{Sample} + \ln\left|\frac{V_{DD}}{A_{sample} V_{in}}\right| \quad (8)$$

단일 전압모드 비교기의 전압-시간 변환 관계를 기준전압이 다른 경우로 확장하여 해석하면,

$$T_{comp}(V_{in}, V_{REF}) = T_{Sample} + \ln\left|\frac{V_{DD}}{A_{sample}(V_{in} - V_{REF})}\right| \quad (9)$$

기준전압이 0 V인 경우와 비교할 때, 전압 축의 방향으로 수평 이동한 형태를 보인다.

### 4. 5-bit 양자화기 회로 설계

서로 다른 기준전압을 갖는 다중 전압모드 비교기 열이 있다고 하면 인접하는 두 전압모드 비교기가 디지털신호를 출력하는데 걸리는 시간을 비교하여 두 비교기의 가운데 지점을 기준으로 입력전압이 어느 쪽의 비교기의 기준전압에 가까운지 판단할 수 있다. 즉, 두 인접한 비교기의 기준전압의 가운데 지점을 추가적인 비교기 없이 새로운 양자화 문턱전압으로 정의할 수 있게 되는데, 이는 비교기의 전압-시간 관계식으로부터 기인한 인접하는 두 비교기의 출력신호에 대한 시간 영역에서 양자화 동작이 이뤄졌음을 평가할 수 있으며, 전압모드 비교기에서의 시간-보간법이 활용된 경우로 볼 수 있다[10].

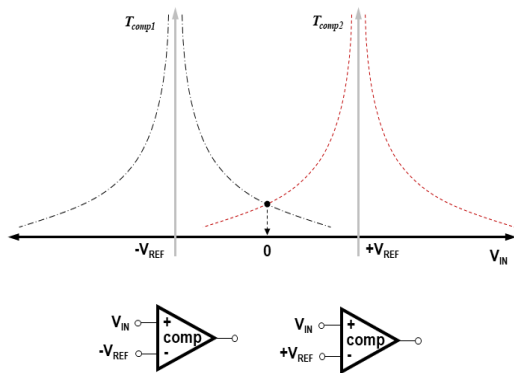


Fig. 3. Time-interpolation example of the multiple reference voltage of the comparator.

구체적인 실시 예는 Fig. 3에 도시한 바와 같이 크기는 같고 부호가 반대인 기준전압을 갖는 두 개의 비교기를 예로 들면, 0 V의 기준전압을 갖는 추가적인 전압모드 비교기 없이 시간-보간법에 따라서 인접하는 두 개의 전압모드 비교기 사이를 추가로 양자화 할 수 있음을 알 수 있으며 수식 (9)를 통하여 일반화 할 수 있다.

본 연구에서는 Fig. 4에 도시한 바와 같이 31개의 양자화 문턱전압을 갖춰야 하는 종래의 FLASH ADC 구조에서 16개의 양자화 문턱전압과 16개의 전압모드 비교기를 사용하고 각각 인접한 비교기 사이의 15개의 양자화 문턱전압을 시간-보간법으로 구현할 수 있었다. 16개 양자화 문턱전압은 저항 열을 사용하고 분리된 기준전압을 인가하여 Full-scale을 조절할 수 있도록 하였으며, 400MS/s의 주기로 표본화되는 입력신호와 동시에 16개의 양자화 문턱전압이 커패시터에 표본화될 수 있도록 하였다. 인접하는 전압모드 비교기의 디지털 출력은 비교기의 동작이 완료되었다는 디지털 신호(RDY)와 함께 디지털 회로 단으로 전달되도록 하였는데, 각각의 전압모드 비교기의 RDY신호가 나타나는 시점을 기준으로 시간모드 비교기 동작이 이뤄지도록 하였다. 구체적인 회로는 인접하는 전압모드 비교기의 RDY를 입력으로 하는 NAND 게이트 회로 기반의 SR-Latch 논리회로로 구성하였다. 기본적으로 SR-Latch가 활용되는 위상검출기 동작의 원리를 활용하여 인접한 두 전압모드 비교기의 상대적 동작 속도를 측정할 수 있으며, 이는 곧 시간모드 비교기의 동작이 이뤄짐을 뜻한다. 5-bit 양자화기 디지털출력은 병렬로 출력되며 온칩 디코더를 통하여 버블에러 보정을 하였다.

On-chip에 구현된 디지털 논리회로를 통하여 Thermometer 형식의 디지털신호는 최종적으로 2진수로 변환되어 출력되도록 하였다. 전압모드/시간모드 비교기의 오프셋 특성은 Monte-Carlo 시뮬레이션을 통하여 5-bit 해상도를 만족하도록 비교기 회로를 최적화 하였으며, SS (섭씨 125도) / TT (섭씨 27도) / FF (섭씨 -40도) 공정 조건에서도 본 연구에서 목표로 한 ADC의 해상도 및 변환속도 성능을 달성할 수 있도록 설계하였다. 특히, 시간모드 비교기의 경우 PVT (공정 / 전원전압 / 온도) 변화를 통한 모의실험 결과, 외부변인에 강한 특성을 확인하였으며, 동일한 성능지표를 달성하는 5-bit FLASH ADC를 시간-보간법을 적용하지 않는 구조로 Post-layout 수준으로 설계하여 비교한 결과, 전압모드 비교기 대비 25% 이하의 구현면적과 50% 이하의 전력을 소모하는 것으로 비교할 수 있었다.

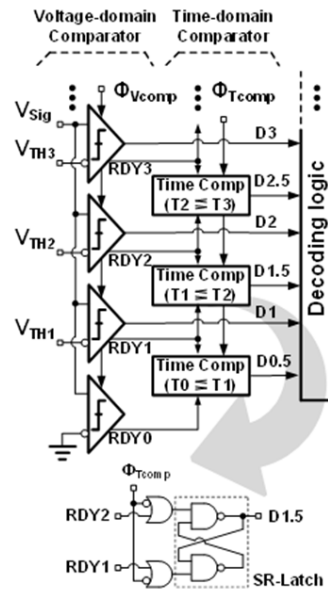


Fig. 4. Schematics of 5-bit quantizer and the time-mode comparator using SR-latch logic.

### 5. 측정결과

시제품의 제작환경 및 공정변수를 간접적으로 확인하기 위하여, 단독으로 Diode 형태로 연결된 N형 트랜지스터를 Reference 바이어스 회로로 설계하였다. 외부에서 전류를 별도로 인가하여 측정할 수 있도록 독립적 I/O회로를 갖도록 하였으며, 포화영역에서 20uA의 드레인 전류와 0.45V의 드레인-소스 간 전압을 DC 동

작 점으로 갖도록 설계하였다. 측정결과 Reference 바이어스 회로의 전기적 특성은 SS (섭씨 125도) / TT (섭씨 27도) / FF (섭씨 -40도)의 코너에서 실시한 SPICE 모의시험 결과와 비교한 결과, Fig. 5에 도시한 바와 같이 SS(섭씨 125도)-코너에 가까운 것으로 확인되었다.

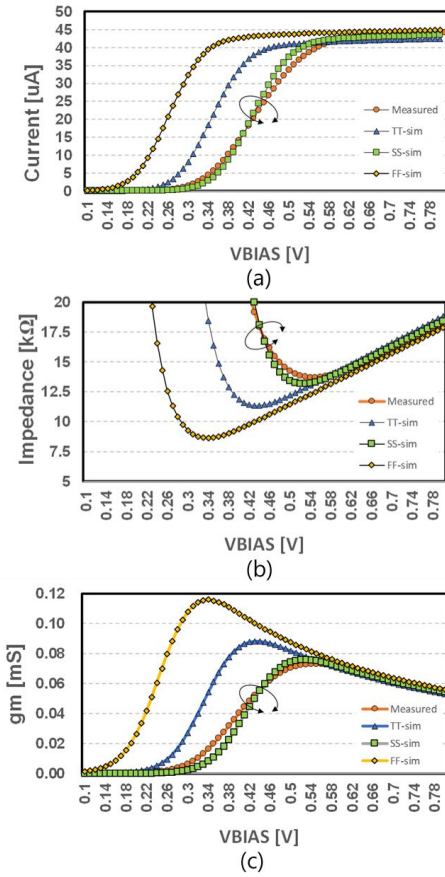


Fig. 5. Comparisons between measured and simulated results (SPICE) of the reference bias circuit: (a) voltage versus current, (b) voltage versus impedance, and (c) voltage versus transconductance responses.

시제품의 고속 디지털 출력신호는 logic analyzer를 사용하여 계측하였으며, Anti-aliasing 필터링을 위한 ADC 입력에 Low-pass filter를 실장하여 입력신호를 인가하였다. 더불어, 클럭신호 지터잡음을 최소화하기 위하여 Band-pass filter(cavity type)를 사용하였다. 5-bit 양자화기 시제품의 전체 구현면적은 0.0024mm<sup>2</sup>, 전력소모는 0.8 V 전원 전압에서 0.82mW

로 측정되었으며, Fig. 6에 도시한 바와 같이 400-MS/s의 변환속도와 21-MHz 정현파 입력에 대하여 ADC는 28.03 dB의 신호-대-잡음비 (SNDR), 즉 4.36 유효비트(ENOB)의 성능을 보였다. 시제품은 Fig. 7에 도시된 바와 같이 14nm FinFET 공정으로 제작되었다.

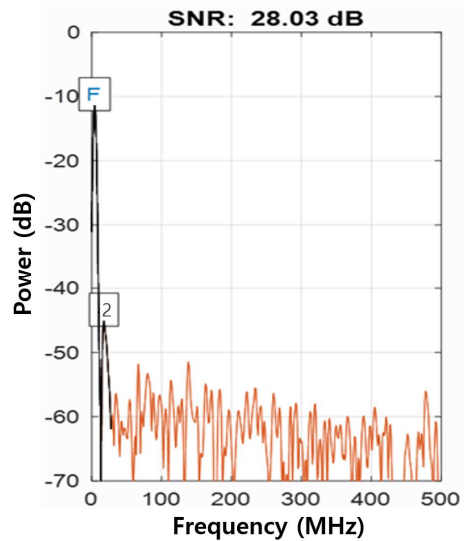


Fig. 6. FFT spectrum

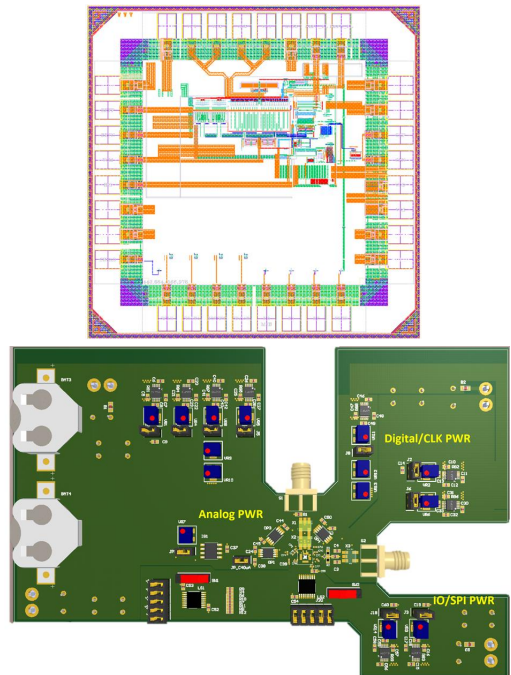


Fig. 7. Prototype layout and PCB.

## 6. 결론

본 연구는 시간-보간법을 활용하여 기존 5-bit FLASH ADC 구조에서 전력소모 및 구현면적의 대부분을 차지하는 전압모드 비교기를 구조적으로 절감하였고, 절반가량(48.4%)의 전압모드 비교기를 시간모드 비교기로 그 기능을 대체하되 구현면적과 전력소모량을 감소시켜 전체 ADC의 성능지표를 향상할 수 있었다.

시간모드 비교기는 인접한 전압모드 비교기의 디지털 출력신호를 바탕으로 동작한다는 점에서 디지털 회로에 가까운 혼성모드 회로로 간주할 수 있는데, 이는 공정기술의 미세화와 더불어 아날로그 회로가 당연하고 있는 설계 복잡도 증가와 같은 다양한 문제점을 구조적으로 극복할 수 있는 방안이 될 수 있다고 판단된다.

## REFERENCES

- [1] Y.-K. Cho et al. (2017). A low-power continuous-time delta-sigma modulator using a resonant single op-amp third-order loop filter, *IEEE Trans. Circuits Syst. II, Exp. Briefs*, 854-858. DOI : 10.1109/TCSII.2017.2729595
- [2] Y.-K. Cho et al. (2011). A 10-bit 30-MS/s successive approximation register analog-to-digital converter for low-power sub-sampling applications, *Elsevier Microelectronics Journal*, 1335-1342. DOI : 10.1016/j.mejo.2011.09.006
- [3] Y.-D. Jeon et al. (2012). A dual-channel pipelined ADC with sub-ADC based on flash-SAR architecture, *IEEE Trans. Circuits Syst. II, Exp. Briefs*, 741-745. DOI : 10.1109/TCSII.2012.2222837
- [4] P. Scholtens & M. Vertregt (2002). A 6 bit 1.6 GS/s flash ADC in 0.18  $\mu\text{m}$  CMOS using averaging termination, *IEEE ISSCC Dig. Tech. Papers*, 168-457. DOI : 10.1109/JSSC.2002.804334
- [5] X. Jiang et al. (2003). A 2 GS/s 6b ADC in 0.18  $\mu\text{m}$  CMOS, *IEEE ISSCC Dig. Tech. Papers*, 322-497. DOI : 10.1109/ISSCC.2003.1234317
- [6] Z. Cao, S. Yan & Y. Li (2008). A 32 mW 1.25 GS/s 6 b 2 b/step SAR ADC in 0.13  $\mu\text{m}$  CMOS, *ISSCC Dig. Tech. Papers*, 542-543. DOI : 10.1109/ISSCC.2008.4523297
- [7] J.-W. Nam et al. (2018). A 12-bit 1.6, 3.2, and 6.4 GS/s 4-b/cycle time-interleaved SAR ADC with

dual reference shifting and interpolation, *IEEE J. Solid-State Circuits*, 1765 - 1779.

DOI : 10.1109/JSSC.2018.2808244

- [8] H. Wei et al. (2012). An 8-b 400-MS/s 2-b-per-cycle SAR ADC with resistive DAC, *IEEE J. Solid-State Circuits*, 2763-2772. DOI : 10.1109/JSSC.2012.2214181
- [9] H. J. M. Veendrick (1980). The behavior of flip-flops used as synchronizers and prediction of their failure rate, *IEEE J. Solid-State Circuits*, 169-176. DOI : 10.1109/JSSC.1980.1051359
- [10] J. W. Nam & M. W. Chen. (2020). A 12.8-Gbaud ADC-based Wireline Receiver with Embedded IIR Equalizer, *IEEE J. Solid-State Circuits*, 557-566. DOI : 10.1109/JSSC.2019.2956395

## 남 재 원(Jae-Won Nam)

[정회원]



- 2006년 6월 : KAIST 정보통신학부(공학사)
- 2008년 2월 : KAIST IT공학부(공학석사)
- 2019년 2월 : University of Southern California 전자공학과 (공학 석사 및 박사)

- 2008년 2월~2012년 6월 : 한국전자통신연구원 연구원
- 2019년 9월~2020년 7월 : Intel Corp. 아날로그엔지니어
- 2020년 9월 ~ 현재 : 서울과학기술대학교 조교수
- 관심분야 : 반도체 소자, 아날로그 집적회로, 혼성신호 처리 시스템, 초고속 유선통신 송수신기, mmWave
- E-Mail : jaewon.nam@seoultech.ac.kr

## 조 영 균(Young-Kyun Cho)

[정회원]



- 2001년 2월 : 아주대학교 전자공학부(공학사)
- 2003년 2월 : 포항공과대학교 전자컴퓨터공학부(공학석사)
- 2019년 2월 : 충남대학교 전자전파정보통신공학과(공학박사)

- 2003년 2월 ~ 2020년 9월 : 한국전자통신연구원 책임연구원
- 2020년 9월 ~ 현재 : 공주대학교 조교수
- 관심분야 : 반도체 소자, 아날로그 집적회로, 안테나, RF 시스템
- E-Mail : ykcho@kongju.ac.kr